

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-150230

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl.⁶H 0 1 L 27/04
21/822

識別記号

F I

H 0 1 L 27/04

B

審査請求 有 請求項の数9 O.L (全13頁)

(21)出願番号

特願平9-315255

(22)出願日

平成9年(1997)11月17日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 岡本 利治

東京都港区芝五丁目7番1号 日本電気株式会社内

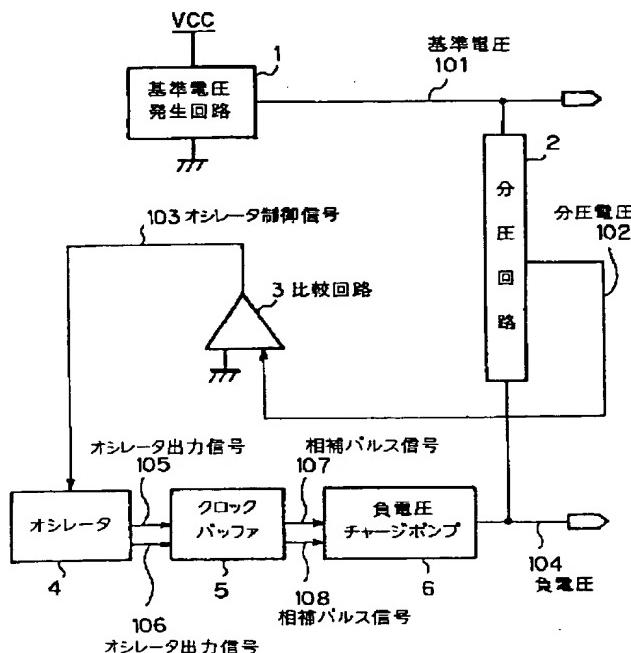
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】 負電圧生成回路

(57)【要約】

【課題】複雑な回路を必要とせずに、精度の高い負電圧を生成する。

【解決手段】基準電圧発生回路1は、電源電圧Vccから定電圧を生成して基準電圧101として分圧回路2に入力し、分圧回路2では、基準電圧101と負電圧104を分圧して分圧電圧102として出力する。分圧回路2では、負電圧104が設定したい電圧値となった時に分圧電圧102がグランド電位となるように設定されていて、比較回路3は分圧電圧102をグランド電位と比較することによりオシレータ制御信号103を生成する。したがって、分圧回路2は電源電圧Vccの変動の影響を受けずに分圧電圧102を生成することができ、比較回路3はグランド電位を基準として分圧電圧102を比較するため複雑な回路を必要としない。



【特許請求の範囲】

【請求項1】 電源電圧とグランド電位との間の電圧値を有する定電圧を生成し基準電圧として出力する基準電圧発生回路と、

前記基準電圧と負電圧との間の電圧を分割して分圧電圧として出力し、前記負電圧が設定したい電圧値となつた場合に前記分圧電圧がグランド電位となるように設定されている分圧回路と、

前記分圧電圧の電圧値をグランド電位と比較し、前記分圧電圧の電圧値がグランド電位より高い場合にはオシレータ制御信号をアクティブとし、前記分圧電圧の電圧値がグランド電位より低い場合には前記オシレータ制御信号をインアクティブとする比較回路と、

前記オシレータ制御信号がアクティブとなると位相が反対の第1および第2の2つのオシレータ出力信号を生成し出力するオシレータと、

前記第1のオシレータ出力信号を入力して第1の相補パルス信号として出力し、前記第2のオシレータ出力信号を入力して第2の相補パルス信号として出力しするクロックバッファと、

前記第1および前記第2の相補パルス信号から前記負電圧を生成し出力する負電圧チャージポンプとから構成される負電圧生成回路。

【請求項2】 前記分圧回路が、前記電源電圧とグランド電位との間に直列に接続された複数の抵抗からなる抵抗分割回路である請求項1記載の負電圧生成回路。

【請求項3】 前記各抵抗が、p型半導体基板と、前記p型半導体基板の上に設けられたnウェルと、前記nウェルの表面に構成された複数のp型不純物拡散層により構成されている請求項2記載の負電圧生成回路。

【請求項4】 前記各抵抗が、p型半導体基板と、前記p型半導体基板の上に形成されたnウェルと、前記nウェルの上に形成された複数のpウェルと、前記各pウェルの表面に形成された複数のn型不純物拡散層により構成されている請求項2記載の負電圧生成回路。

【請求項5】 前記分圧回路が、ゲートとドレイン及びソースとバックゲート（基板またはウェル）が接続された複数のnチャネルMOSトランジスタが隣接するものどうしがそれぞれソースとドレインが接続されることにより前記電源電圧とグランド電位との間に直列に接続されている回路である請求項1記載の負電圧生成回路。

【請求項6】 前記分圧回路が、前記各nチャネルMOSトランジスタ間の配線パターンを変更することにより設定する前記負電圧の電圧値を変更することができる構造である請求項5記載の負電圧生成回路。

【請求項7】 前記各nチャネルMOSトランジスタが、p型半導体基板と、前記p型半導体基板の上に形成されたnウェルと、前記

nウェルの上に形成された複数のpウェルと、前記各pウェルの表面に形成された複数のドレン拡散層と、前記各pウェルの表面に形成された複数のソース拡散層と、前記各pウェルの表面に形成された複数のpウェルコンタクトと、前記各pウェルの上に絶縁膜を介して形成された複数のゲート電極とから構成されている請求項5または6記載の負電圧生成回路。

【請求項8】 前記基準電圧発生回路と前記比較回路のグランドパターンが同一のグランドパッドに接続されているとともに前記基準電圧発生回路と前記比較回路前記が前記グランドパッドからの電流特性がほぼ等しくなるような位置に配置されている請求項1から7のいずれか1項記載の負電圧生成回路。

【請求項9】 前記比較回路が、ゲートがグランド電位に接続された第1のpチャネルMOSトランジスタと、前記分圧電圧をゲートに入力する第2のpチャネルMOSトランジスタと、

前記電源電圧から一定の電流値の電流を前記第1および第2のpチャネルMOSトランジスタのソースに供給する電流源と、

ドレンが前記第1のpチャネルMOSトランジスタのドレンに接続され、ゲートがドレンに接続され、ソースがグランドに接続された第1のnチャネルMOSトランジスタと、

ドレンが前記第2のpチャネルMOSトランジスタのドレンに接続され、ゲートが前記第1のnチャネルMOSトランジスタのゲートに接続され、ソースがグランドに接続された第2のnチャネルMOSトランジスタと、

前記第2のnチャネルMOSトランジスタのドレンの電圧を反転して前記オシレータ制御信号として出力するインバータとから構成されている請求項1から8のいずれか1項記載の負電圧生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フラッシュメモリ等と同じチップ上に設けられ、負電圧を生成し出力するための負電圧生成回路に関する。

【0002】

【従来の技術】 フラッシュメモリ等の記憶内容の消去には、負電圧が用いられるのが一般的である。しかし、フラッシュメモリ等に供給する電圧は一般的にはVcc-GNDであり、負電圧は供給していない。従って、負電圧を生成するためにフラッシュメモリ等と同じチップ上に設けられた負電圧生成回路が用いられる。

【0003】 従来の負電圧生成回路を図8のブロック図を用いて説明する。

【0004】 この従来の負電圧生成回路は、分圧回路82と、比較回路3と、オシレータ4と、クロックバッファ5と、負電圧チャージポンプ6とから構成されてい

る。

【0005】分圧回路82は、負電圧104と電源電圧Vccとの間の電圧を分圧して分圧電圧102として出力する。

【0006】比較回路3は、基準電圧120の電圧値と分圧電圧102の電圧値とを比較し、分圧電圧102の電圧値が基準電圧102の電圧値より高い場合にはオシレータ制御信号103をアクティブとし、分圧電圧102の電圧値が基準電圧102の電圧値より低い場合にはオシレータ制御信号103をインアクティブとする。この比較回路3の具体的な構成を図9を用いて説明する。

【0007】図9に示すように比較回路3は、抵抗97と、カレントミラーを構成しているpチャネルMOSトランジスタ91、92と、ゲートに基準電圧120が入力されたpチャネルMOSトランジスタ93と、ゲートに分圧電圧102が入力された94と、カレントミラーを構成しているnチャネルMOSトランジスタ95、96と、インバータ98とから構成されている。

【0008】pチャネルMOSトランジスタ91は、その特性と抵抗97によって決定される電流がソース・ドレイン間を流れる。そして、pチャネルMOSトランジスタ91と共にカレントミラーを構成しているpチャネルMOSトランジスタ92にも同じ電流値の電流がソース・ドレイン間を流れる。このようにしてpチャネルMOSトランジスタ92は、pチャネルMOSトランジスタ93、94に電流を供給する電流源として動作している。

【0009】そして、カレントミラーを構成しているnチャネルMOSトランジスタ95、96はそれぞれpチャネルMOSトランジスタ93、94の負荷として接続されている。

【0010】ここで、分圧電圧102の電圧値が基準電圧120の電圧値より大きい場合には、pチャネルMOSトランジスタ94のソース・ドレイン間を流れる電流は減少し、分圧電圧102の電圧値が基準電圧120の電圧値より小さい場合には、pチャネルMOSトランジスタ94のソース・ドレイン間を流れる電流は増加する。このことにより、分圧電圧102の電圧値が基準電圧120の電圧値より大きい場合には、インバータ98に出力される電圧は低くなり、分圧電圧102の電圧値が基準電圧120の電圧値より小さい場合には、インバータ98に出力される電圧は高くなる。このように、分圧電圧102の電圧値が基準電圧120より高いか低いかによってインバータ98に入力される電圧がある振幅をもって変化する。そのため、インバータ98の論理しきい値をこの振幅の間になるように設定すると、分圧電圧102が基準電圧120より高いか低いかを示したオシレータ制御信号103を得ることができる。

【0011】オシレータ4は、オシレータ制御信号103がアクティブとなると位相が反対の2つのオシレータ

出力信号105、106を生成し出力する。

【0012】このオシレータ4の具体的な構成を図10を用いて説明する。

【0013】図10に示すようにオシレータ4は、 NAND回路110と、インバータ1111～1116とから構成されるリングオシレータとなっている。

【0014】NAND回路110は、このリングオシレータの途中に設けられその一方の入力にはオシレータ制御信号103が入力され、オシレータ制御信号103がインアクティブ（ロウレベル）となった場合にオシレータ4の動作を停止するために設けられている。

【0015】そして、インバータ1111～1116はリング状に直列に接続されインバータ1116の出力はオシレータ出力信号105として出力され、インバータ1115の出力はオシレータ出力信号106として出力される。

【0016】図11は、オシレータ制御信号103とオシレータ出力信号105、106の動作を示したタイミングチャートである。

【0017】この図を参照すると、オシレータ制御信号103がアクティブ（Vcc）となると位相が反対の2つのオシレータ出力信号105、106が出力され、オシレータ制御信号103がインアクティブ（GND）になるとオシレータ出力信号105、106が出力されなくなることがわかる。

【0018】また、クロックバッファ5は、図12に示すように、オシレータ4から出力されたオシレータ出力信号105、106を入力し、それぞれインバータ121、122およびインバータ123、124を介してから相補パルス信号107、108として出力する。

【0019】負電圧チャージポンプ6は、相補パルス信号107、108から負電圧104を生成し出力する。

【0020】この負電圧チャージポンプ6の具体的な構成を図13を用いて説明する。

【0021】図13に示すように負電圧チャージポンプ6は、pチャネルMOSトランジスタ1311～1316と、コンデンサ1321～1326と、pチャネルMOSトランジスタ133とから構成されている。

【0022】pチャネルMOSトランジスタ1311～1316は、それぞれゲートとドレインが接続され、隣接するものどうしでソースとドレインが接続されることにより直列に接続されている。

【0023】そして、pチャネルMOSトランジスタ1311、1313、1315のドレインは、それぞれコンデンサ1321、1323、1325により相補パルス信号107に接続され、pチャネルMOSトランジスタ1312、1314、1316のドレインは、それぞれコンデンサ1322、1324、1326により相補パルス信号108に接続されている。そして、pチャネルMOSトランジスタ1311のソースは負電圧104として出

力され、pチャネルMOSトランジスタ1316のドレンはpチャネルMOSトランジスタ133のソースに接続されている。pチャネルMOSトランジスタ133は、ゲートおよびドレンがグランドに接続され、pチャネルMOSトランジスタ1316のドレンをグランド電位としている。

【0024】次にこの負電圧チャージポンプ6の動作について説明する。

【0025】ここでは説明のために、pチャネルMOSトランジスタ1312のみを用いて説明するが他のpチャネルMOSトランジスタ1311、1313～1316の動作も同様である。ここで、説明のためにpチャネルMOSトランジスタ1312のソースをノード13a、ドレンをノード13bとする。

【0026】先ずあるタイミングで、相補パルス信号107が電源電圧Vccで相補パルス信号108がグランド電位になっているとする。この場合には、ノード13aはコンデンサ1321によって押し上げられることにより電位が高くなり、ノード13bはコンデンサ1322によって引き下げられることにより電位が低くなる。そして、pチャネルMOSトランジスタ1312は、ノード13aとノード13bとの間の電位差がしきい値以上となるとオン状態となりノード13aの電荷は電位の低いノード13bに流れ込む。そして、ノード13aでは電荷が少なくなることにより電位が低下し、ノード13bでは電荷が多くなることにより電位が増加する。そして、この電荷の移動は、ノード13a、13bの電位が等しくなるまで継続する。

【0027】そして、次のタイミングでは、相補パルス信号107はグランド電位となり、相補パルス信号108は電源電圧Vccとなる。この場合には、ノード13aはコンデンサ1321に引き下げられることにより電位が低くなり、ノード13bはコンデンサ1322に押し上げられることにより電位が高くなる。ノード13bは電位が高くなつてもゲートとドレンは接続されているため同電位のままであるためpチャネルMOSトランジスタ1312はオフ状態のまとなる。しかし、隣接するpチャネルMOSトランジスタ1311、1313では、上記で説明したような電荷の移動が行われる。

【0028】そして、パルス相補信号107、108が電源電圧の状態とグランド電位の状態とを交互に切り替え、pチャネルMOSトランジスタ1311～1316が上記で説明したような動作を繰り返すことにより、電荷はpチャネルMOSトランジスタ1311からpチャネルMOSトランジスタ1316の方向へ順繰りに転送され、pチャネルMOSトランジスタ1311のソースは負電圧チャージポンプ回路6の中で一番低い電位となり負電圧104として出力される。

【0029】次に、この従来の負電圧生成回路の動作について図8を参照して説明する。

【0030】負電圧104の絶対値が設定した電圧値の絶対値より低い場合は、分圧電圧102は基準電圧120より高くなるため、比較回路3はオシレータ制御信号103をアクティブとする。そのためオシレータ4は、オシレータ出力信号105、106を生成して出力する。そして、クロックバッファ5は、オシレータ出力信号105、106を入力し、相補パルス信号107、108として出力する。このため、負電圧チャージポンプ6は、負電圧104の電圧を下げるよう動作する。

【0031】そして、負電圧104が設定した電圧値となり分圧回路82から出力される分圧電圧102が基準電圧120と等しくなると、比較回路3はオシレータ制御信号103をインアクティブとするためオシレータ4はオシレータ出力信号105、106を出力しなくなる。そのため、負電圧チャージポンプ6は動作を停止し、負電圧104の電圧値は設定された電圧値に維持される。

【0032】このようにして生成された負電圧104は、フラッシュメモリ等の記憶内容の消去に用いられるが、負電圧104の電圧の絶対値が小さくなるとメモリセルの消去時間が長くなってしまうという問題が発生し、負電圧104の電圧の絶対値が大きくなると消去時間は短くなるが、メモリセルのデータ保持特性の悪化等の信頼性の問題が発生してしまう。これらの条件を考慮すると最適な電圧値は限られたられた電圧値となるためフラッシュメモリ等の最適な動作を得るために、負電圧104の電圧値には高い精度が要求される。

【0033】この従来の負電圧生成回路では、電源電圧Vccと負電圧104を分圧回路82により分圧して分圧電圧102を生成しているが、外部から印加される電源電圧Vccの電圧は使用される状況により異なるため負電圧104の電圧値に高い精度を得ることができない。

【0034】この問題を解決しようとして、図14に示すように分圧回路82に電源電圧Vccを入力するかわりに変動の少ないグランド電位を印加して、そのグランド電位と負電圧104を分圧して負電圧102を生成すれば精度の高い負電圧104を得ることができる。

【0035】しかし、この図14の負電圧生成回路では、比較回路3に入力する基準電圧120として負の電位を入力することが必要となり、比較回路3の回路の構成が複雑となる。

【0036】

【発明が解決しようとする課題】上述した従来の負電圧生成回路では、下記のような問題点があった。

(1) 電源電圧と負電圧の間の電圧を分圧して分圧電圧を生成する場合では、電源電圧のばらつきの影響により精度の高い負電圧を生成することができない。

(2) グランドと負電圧の間の電圧を分圧して分圧電圧を生成する場合では、比較回路の基準電圧として負電圧

を必要とするため比較回路の構成が複雑となる。

【0037】本発明の目的は、複雑な回路を必要とせずに、精度の高い負電圧を生成することができる負電圧生成回路を提供することである。

【0038】

【課題を解決するための手段】上記目的を達成するため、本発明の負電圧生成回路は、電源電圧とグランド電位との間の電圧値を有する定電圧を生成し基準電圧として出力する基準電圧発生回路と、前記基準電圧と負電圧との間の電圧を分割して分圧電圧として出力し、前記負電圧が設定したい電圧値となった場合に前記分圧電圧がグランド電位となるように設定されている分圧回路と、前記分圧電圧の電圧値をグランド電位と比較し、前記分圧電圧の電圧値がグランド電位より高い場合にはオシレータ制御信号をアクティブとし、前記分圧電圧の電圧値がグランド電位より低い場合には前記オシレータ制御信号をインアクティブとする比較回路と、前記オシレータ制御信号がアクティブとなると位相が反対の第1および第2の2つのオシレータ出力信号を生成し出力するオシレータと、前記第1のオシレータ出力信号を入力して第1の相補パルス信号として出力し、前記第2のオシレータ出力信号を入力して第2の相補パルス信号として出力しするクロックバッファと、前記第1および前記第2の相補パルス信号から前記負電圧を生成し出力する負電圧チャージポンプとから構成される。

【0039】本発明は、基準電圧発生回路を用いて電源電圧から定電圧を生成して基準電圧として分圧回路に入力するよう正在しているので、分圧回路は電源電圧の変動の影響を受けずに分圧電圧を生成することができ、負電圧が設定したい電圧となった場合に分圧回路から出力される分圧電圧がグランド電位となるように分圧回路は設定されているので比較回路は分圧電圧を電位の安定したグランド電位と比較することによりオシレータ制御信号を生成するようにしたものである。

【0040】したがって、比較回路に複雑な回路を必要とせずに、精度の高い負電圧を生成することができる。

【0041】本発明の実施態様によれば、前記分圧回路が、前記電源電圧とグランド電位との間に直列に接続された複数の抵抗からなる抵抗分割回路である。

【0042】また、本発明の実施態様によれば、前記各抵抗が、p型半導体基板と、前記p型半導体基板の上に設けられたnウェルと、前記nウェルの表面に構成された複数のp型不純物拡散層により構成されている。

【0043】本発明は、ツインウェルにより形成された抵抗を用いて分圧回路を構成するようにしたものである。

【0044】また、本発明の実施態様によれば、前記各抵抗が、p型半導体基板と、前記p型半導体基板の上に形成されたnウェルと、前記nウェルの上に形成された複数のpウェルと、前記各pウェルの表面に形成された

複数のn型不純物拡散層により構成されている。

【0045】本発明は、トリプルウェル構造により形成された抵抗を用いて分圧回路を構成するようにしたものである。

【0046】したがって、ツインウェル構造により形成された抵抗を用いた場合と比較して、接合間の電位差を小さくすることができる。

【0047】また、本発明の実施態様によれば、前記分圧回路が、ゲートとドレイン及びソースとバックゲート（基板またはウェル）が接続された複数のnチャネルMOSトランジスタが隣接するものどうしがそれぞれソースとドレインが接続されることにより前記電源電圧とグランド電位との間に直列に接続されている回路である。

【0048】本発明は、直列に接続された複数のnチャネルMOSトランジスタを用いて分圧回路を構成しているので、精度の高い負電圧を発生する負電圧生成回路を小さなブロックサイズで構成することができるとともに消費電流を小さくすることができる。

【0049】また、本発明の実施態様によれば、前記分圧回路が、前記各nチャネルMOSトランジスタ間の配線パターンを変更することにより設定する前記負電圧の電圧値を変更することができる構造である。

【0050】本発明は、分圧回路の配線パターンのみを変更することで、負電圧の設定電圧を容易に変更することができるよう正在したものである。

【0051】本発明の実施態様によれば、前記各nチャネルMOSトランジスタが、p型半導体基板と、前記p型半導体基板の上に形成されたnウェルと、前記nウェルの上に形成された複数のpウェルと、前記各pウェルの表面に形成された複数のドレイン拡散層と、前記各pウェルの表面に形成された複数のソース拡散層と、前記各pウェルの表面に形成された複数のpウェルコンタクトと、前記各pウェルの上に絶縁膜を介して形成された複数のゲート電極とから構成されている。

【0052】また、本発明の実施態様によれば、前記基準電圧発生回路と前記比較回路のグランドパターンが同一のグランドパッドに接続されるとともに前記基準電圧発生回路と前記比較回路前記が前記グランドパッドからの電流特性がほぼ等しくなるような位置に配置されている。

【0053】本発明は、基準電圧発生回路と比較回路との間の電圧のずれを無くすようにして、精度の高い負電圧を得ることができるよう正在したものである。

【0054】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して詳細に説明する。

【0055】（第1の実施形態）図1は本発明の第1の実施形態の負電圧生成回路の構成を示したブロック図である。図8中と同番号は同じ構成要素を示す。

【0056】本実施形態の負電圧生成回路は、図8の從

來の負電圧生成回路に対して、基準電圧発生回路1を設け、分圧回路82を分圧回路2に置き換えたものである。

【0057】基準電圧発生回路1は、電源電圧Vccとグランドとの間の電圧値を有する定電圧を生成し基準電圧101として出力する。

【0058】分圧回路2は、基準電圧発生回路1から出力された基準電圧101と負電圧104を分圧して分圧電圧102として出力する。そして、この分圧回路2では、負電圧104が設定したい電圧値となった時に分圧電圧102がグランド電位となるように設定されている。

【0059】また、比較回路3は、従来の負電圧生成回路では基準電圧120と分圧電圧104との比較を行っていたが、本実施形態では基準電圧120の代わりにグランド電位を比較の基準とする。

【0060】本実施形態の負電圧生成回路は、基準電圧発生回路1により生成した定電圧を基準電圧101として分圧回路2に入力しているため、分圧回路2は電源電圧Vccの変動の影響を受けずに分圧電圧102を生成することができる。また、負電圧104が設定したい電圧となった時に、分圧回路2から出力される分圧電圧102がグランド電位となるように分圧回路2を設定しているため、比較回路3では分圧電圧104をグランド電位と比較することによりオシレータ制御信号103を生成すればよく、比較回路3に複雑な回路を用いなくてすむ。

【0061】次に、この分圧回路2の具体的な例を図2、図3を用いて説明する。

【0062】先ず、分圧回路2を抵抗分割回路により構成した場合の例を図2に示す。図2(a)は、分圧回路2の具体例としての分圧回路2aを示したものである。

【0063】この分圧回路2aは、直列に接続された抵抗値が異なる2つの抵抗21、22により構成されている。そして、抵抗21、22のそれぞれの抵抗値を変更することにより設定したい負電圧104で分圧電圧102がグランド電位となるようにする。

【0064】図2(b)は、分圧回路2の具体例としての分圧回路2bを示したものである。

【0065】この分圧回路2bは、同じ抵抗値を有する7つの抵抗231～237が直列に接続されている。この分圧回路2bでは、接続する抵抗の数を変化させることにより設定したい負電圧104で分圧電圧102がグランドと同電位となるようにする。

【0066】次に、図2(a)に示した分圧回路2aの半導体構造の断面図を図3に示す。図3(a)はツインウェル構造により分圧回路2aを構成した場合、図3(b)はトリプルウェル構造により分圧回路2aを構成した場合である。

【0067】先ず図3(a)のツインウェル構造場合に

ついて説明する。

【0068】この図3(a)の分圧回路2aは、p型基板31の上にnウェル34が形成されていて、nウェル34の表面にp型不純物拡散層32、33が形成されている。そして、p型不純物拡散層32の一端には基準電圧101が印加され、他端はp型不純物拡散層33の一端と接続されるとともに分圧電圧102が出力されている。そして、p型不純物拡散層33の他端には負電圧104が印加されている。また、nウェル34にはnウェルコンタクト39を介して電源電圧Vccが印加され、p型基板31はグランドに接続されている。このことにより、nウェル34の電位はp型基板31よりも高くなっているため、p型基板31とnウェル34は電気的に絶縁されている状態が保たれている。また、p型不純物拡散層32に印加されている基準電圧101およびp型不純物拡散層33に印加されている負電圧104は、電源電圧Vccよりも低い電圧なので、p型不純物拡散層32、33とnウェル34は電気的に絶縁されている状態が保たれている。

【0069】この図3(a)の分圧回路2aでは、p型不純物拡散層32により抵抗21が形成され、p型不純物拡散層33により抵抗22が形成される。

【0070】そして、p型不純物拡散層32、33の電気的導電特性は、拡散している不純物の同度、拡散深さ、および面積で決定されるため、負電圧104が設定したい電圧値となった時に、分圧電圧102がグランド電位となるようにp型不純物拡散層32、33の不純物濃度、拡散深さ、面積等を調整して抵抗値を設定する。

【0071】次に、図3(b)のトリプルウェル構造の場合について説明する。

【0072】この図3(b)の分圧回路2aは、p型基板31の上にnウェル37が形成されていて、nウェル37の上にpウェル38が形成され、pウェル38の表面にn型不純物拡散層35、36が形成されている。そして、n型不純物拡散層35の一端には基準電圧101が印加され、他端はn型不純物拡散層36の一端と接続されるとともに分圧電圧102が出力されている。そして、n型不純物拡散層36の他端には負電圧104が印加されている。また、nウェル37にはnウェルコンタクト40を介して電源電圧Vccが印加され、p型基板31はグランドに接続されている。そのため、p型基板31とnウェル37は電気的に絶縁されている状態が保たれている。また、pウェル38に印加されている負電圧104は、電源電圧Vccよりも低い電圧なので、pウェル38とnウェル37は電気的に絶縁されている状態が保たれている。

【0073】この図3(b)において、抵抗値を構成するのは図3(a)と同様な方法で行なわれる。また、この図3(b)のトリプルウェル構造では、nウェル37とpウェル38のマスクパターン設計時にマージンが必要

要なため面積が増加してしまうという欠点がある。しかし、トリプルウェル構造では、ツインウェル構造に比べて、接合間の電位差を小さくすることができるという利点を有する。

【0074】具体的に説明すると、図3(a)のツインウェル構造では、電源電圧Vccと同電位となっているnウェル34と負電圧104の間の電圧が接合間の最大の電圧となり、例えば電源電圧Vcc=5V、負電圧104=-12Vである場合には、この電圧は17Vとなる。

【0075】これに対して図3(b)のトリプルウェル構造では、負電圧104と同電位となっているpウェル38と基準電圧101の間の電圧が接合間の最大の電圧となり、基準電圧101=2V、負電圧104=-12Vである場合には、この電圧は14Vとなり、17Vよりも小さい電圧となる。このように、トリプルウェル構造では、接合間の電位差を小さくすることができる。

【0076】ここでは、図2(a)の分圧回路2aの構造を説明したが、図2(b)の分圧回路2bも同様にしてツインウェル構造およびトリプルウェル構造を用いて構成することができる。

【0077】この場合には同じサイズの抵抗を複数形成することとなるが、これらの同じサイズの抵抗は、マスクパターン、不純物濃度、拡散深さ等がばらついた場合でも同じ方向にばらつくため、同じサイズの抵抗を複数設けて電圧を分割する方が、異なるサイズの抵抗で分圧するよりも高精度の分圧回路を得ることができる。

【0078】(第2の実施形態) 次に、本発明の第2の実施形態について説明する。

【0079】本実施形態の負電圧生成回路は、図1の上記第1の実施形態において分圧回路2の具体例として図4に示す分圧回路2cを用いたものである。第1の実施形態では抵抗分割回路により分圧回路2を構成していたが、本実施形態は、nチャネルMOSトランジスタにより基準電圧101と負電圧104を分圧して分圧電圧102を生成するものである。

【0080】分圧回路2cは、図4に示されるように、7つのnチャネルMOSトランジスタ421～421が直列に接続されているものである。

【0081】次に、図4の分圧回路2cの断面図を図5に示す。ここでは、7つのnチャネルMOSトランジスタ421～421は全て同じ構造なのでnチャネルMOSトランジスタ421の構造のみについて説明する。

【0082】このnチャネルMOSトランジスタ421は、p型基板56の上にnウェル55が形成され、nウェル55の上にpウェル54が形成され、pウェル54の表面にドレイン拡散層51、ソース拡散層52およびpウェルコンタクト53が形成されている。そして、さらにpウェル54の上には絶縁膜を介してゲート電極58が形成されている。

【0083】そして、ゲート電極58とドレイン拡散層51は接続され基準電圧101が印加されている。また、ソース拡散層52とpウェルコンタクト53は接続され隣接するnチャネルMOSトランジスタ422のドレイン拡散層と接続されている。そして、nチャネルMOSトランジスタ421とnチャネルMOSトランジスタ422の間から分圧電圧102が出力されている。また、nウェル55にはnウェルコンタクト57を介して電源電圧Vccが印加されている。

【0084】このnチャネルMOSトランジスタ421は、ドレイン拡散層51に電圧が印加されていった場合、ソース拡散層52とドレイン拡散層51間の電位差がnチャネルMOSトランジスタ421のしきい値以上となつた場合に導通状態となり電流が流れ始める。

【0085】例えばここでしきい値を1Vであるとする、図4の分圧回路2cは7つのnチャネルMOSトランジスタ421～421で構成されているため、基準電圧101と負電圧104の間の電位差が7V以上となると電流が流れ始め分圧回路としての動作を開始する。この時にnチャネルMOSトランジスタ421～421は全て同じ電流が流れるため、どのnチャネルMOSトランジスタ421～421もゲート電極58とソース拡散層52間の電位差は同じ電圧となる。そして、ソース拡散層52はそれぞれpウェルコンタクト53を介してpウェル54と接続されているため基板効果によるしきい値の変動はない。

【0086】このようにして、本実施形態では、nチャネルMOSトランジスタ421～421の相互コンダクタンスgmを全て等しく設計すれば、精度が高くして消費電流が小さくブロックサイズも小さな分圧回路を得ることができる。

【0087】また、この分圧回路2cは、図2(b)の抵抗分割を用いた分圧回路2bと同様に、同じサイズのnチャネルMOSトランジスタ421～421を直列に接続しているので、マスクパターン、不純物濃度、拡散深さ等がばらついた場合でも同じ方向にばらつくため、異なるサイズのnチャネルMOSトランジスタを用いて分圧するよりも高精度の分圧回路を得ることができる。

【0088】(第3の実施形態) 次に、本発明の第3の実施形態について説明する。

【0089】本実施形態の負電圧生成回路は、図1の上記第1の実施形態において分圧回路2の具体例として図6に示す分圧回路2dを用いたものである。

【0090】この分圧回路2dは、上記第2の実施形態における分圧回路2cと同様にnチャネルMOSトランジスタ421～428、626～628により基準電圧101と負電圧104を分圧するものである。そして、スイッチ641～649を設けて設定することができる負電圧104の電圧値を切り替えることができるようとしたものである。

13

【0091】ここで、nチャネルMOSトランジスタ626～628の相互コンダクタンスg_mは、nチャネルMOSトランジスタ421～428の相互コンダクタンスg_mと比較して大きくなるように設計し、ソースとドレイン間の電圧がnチャネルMOSトランジスタ421～428の半分となるように設定する。

【0092】例えば、基準電圧101が2Vの場合に、スイッチ641、644、647のみをオンし、それ以外のスイッチをオフとすると図4の分割回路2cと同様な回路となり負電圧104が-14Vとなった場合に分圧電圧102がグランド電位となる。

10

* 【表1】

負電圧104(V)	SW64 ₇	SW64 ₈	SW64 ₉	SW64 ₁	SW64 ₄	SW64 ₅	SW64 ₆	SW64 ₁ ₂	SW64 ₃
-14	ON	OFF	OFF	ON	OFF	OFF	ON	OFF	OFF
-13	OFF	ON	OFF	ON	OFF	OFF	ON	OFF	OFF
-12	OFF	OFF	ON	ON	OFF	OFF	ON	OFF	OFF
-11	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	OFF
-10	OFF	OFF	ON	OFF	OFF	ON	ON	OFF	OFF
-9	OFF	OFF	ON	OFF	OFF	ON	OFF	ON	OFF
-8	OFF	OFF	ON	OFF	OFF	ON	OFF	OFF	ON

本実施形態は、nチャネルMOSトランジスタの接続をスイッチにより切り替えることにより設定できる負電圧104の電圧値を選択することができるようとしたものである。

【0096】本実施形態は、スイッチ641～649によりnチャネルMOSトランジスタの接続を切り替えるようにして説明したが、実際に半導体として構成する場合には配線パターンを変更することにより接続を切り替えてnチャネルMOSトランジスタ間の接続を切り替えることができる。

【0097】(第4の実施形態) 次に、本発明の第4の実施形態について説明する。

【0098】本実施形態の負電圧生成回路は、上記第1から第3の実施形態の負電圧生成回路において、基準電圧発生回路1と比較回路3のグランドパターンを共通のグランドパッドに接続し、かつグランドパッドからの電流特性がほぼ等しくなるような位置に配置したものである。本実施形態では、このような位置関係に配置することにより基準電圧発生回路1と比較回路3間の電圧のずれを無くすことができ、上記第1から第3の実施形態の効果に加えて精度の高い負電圧104を得ることができる。

【0099】具体的には、図7に示すように基準電圧発生回路1と比較回路3をAとBの位置関係に配置して、グランドパターン71と接続すれば上記の条件を満たしているが、AとC、BとCの位置関係の場合には上記の条件を満たしていない。

【0100】

14

* 【0093】また、スイッチ621、624、628のみをオンさせ、それ以外のスイッチをオフとした場合には、負電圧104が-13Vとなった場合に分圧電圧102がグランド電位となる。

【0094】本実施形態では、このようにして下記の表1に示されたようにスイッチ641～649(SW641～649)を切り替えると、基準電圧101が2Vの場合に、負電圧104として設定できる電圧値を-8～-14Vの間で1Vステップで選択することができる。

10 【0095】

* 【表1】

【発明の効果】以上説明したように、本発明は、複雑な回路を必要とせずに、精度の高い負電圧を生成することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の負電圧生成回路の構成を示したブロック図である。

【図2】図1の中の分圧回路2を抵抗分割により構成した場合の回路図である。

【図3】図2(a)の分圧回路2aをツインウェル構造で構成した場合の断面図(図3(a))およびトリプルウェル構造で構成した場合の断面図(図3(b))である。

【図4】本発明の第2の実施形態の負電圧生成回路における分圧回路2cの回路図である。

【図5】図4の分圧回路2cをトリプルウェル構造で構成した場合の断面図である。

【図6】本発明の第3の実施形態の負電圧生成回路における分圧回路2dの回路図である。

【図7】本発明の第4の実施形態の負電圧生成回路における結線を示した図である。

【図8】従来の負電圧生成回路の構成を示したブロック図である。

【図9】図8の比較回路3の回路図である。

【図10】図8のオシレータ4の回路図である。

【図11】図8のオシレータ4の信号波形を示すためのタイミングチャートである。

【図12】図8のクロックバッファ5の回路図である。

【図13】図8の負電圧チャージポンプ6の回路図であ

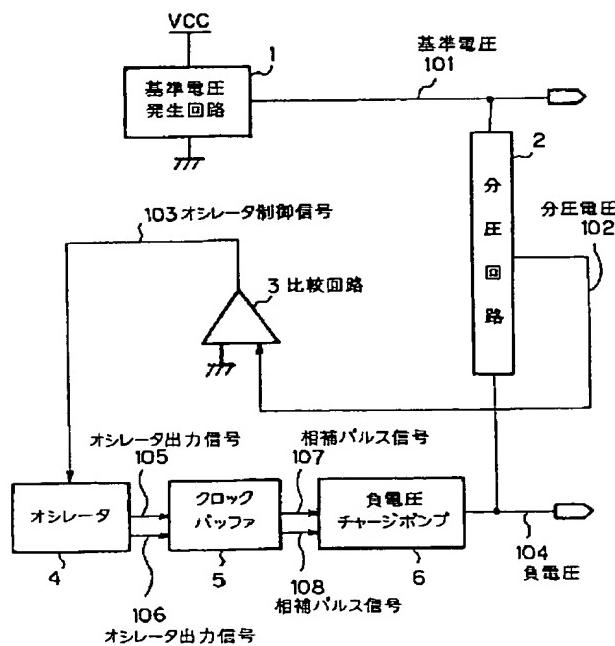
る。

【図1】従来の他の負電圧生成回路の構成を示したブロック図である。

【符号の説明】

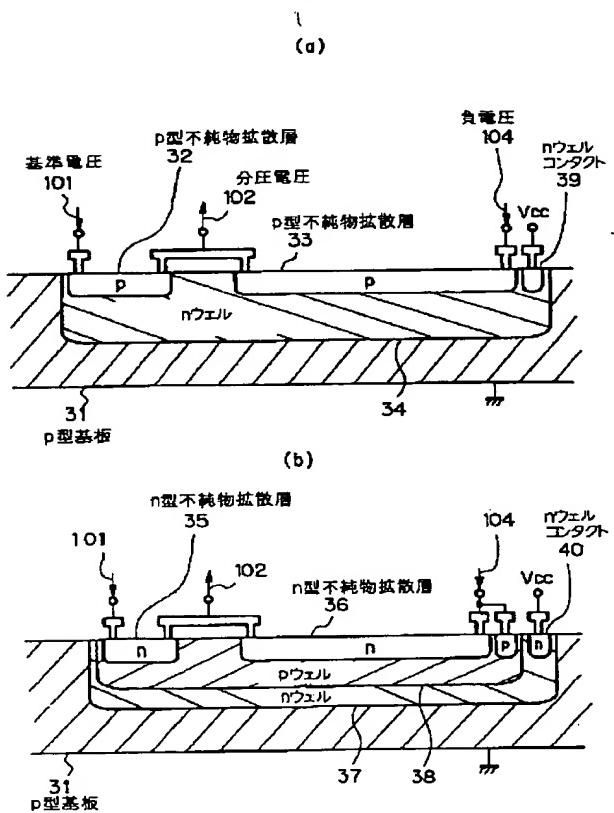
- 1 基準電圧発生回路
- 2、2a、2b、2c、2d 分圧回路
- 3 比較回路
- 4 オシレータ
- 5 クロックバッファ
- 6 負電圧チャージポンプ
- 21、22 抵抗
- 231～237 抵抗
- 31 p型基板
- 32、33 p型不純物拡散層
- 34 nウェル
- 35、36 n型不純物拡散層
- 37 nウェル
- 38 pウェル
- 39、40 pウェルコンタクト
- 421～427 nチャネルMOSトランジスタ
- 51 ドレイン拡散層
- 52 ソース拡散層
- 53 pウェルコンタクト
- 54 pウェル
- 55 nウェル

【図1】

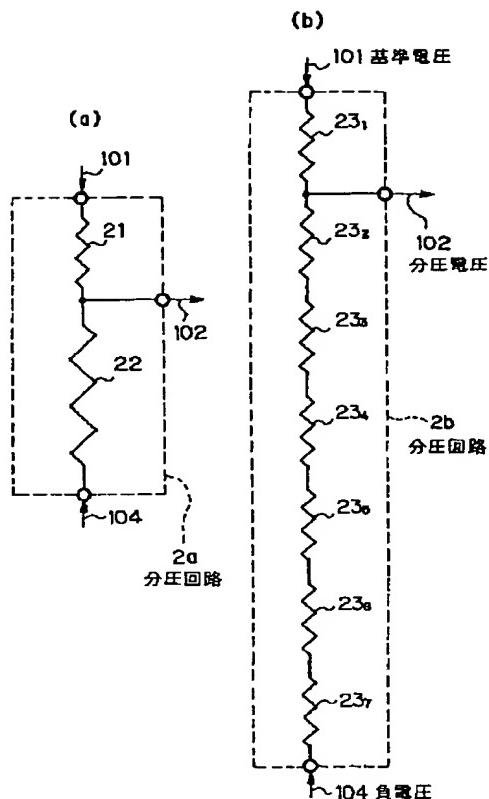


- 56 p型基板
- 57 nウェルコンタクト
- 58 ゲート電極
- 626～628 nチャネルMOSトランジスタ
- 641～649 スイッチ
- 71 グランドパターン
- 82 分圧回路
- 91～94 pチャネルMOSトランジスタ
- 95、96 nチャネルMOSトランジスタ
- 1097 抵抗
- 98 インバータ
- 101 基準電圧
- 102 分圧電圧
- 103 オシレータ制御信号
- 104 負電圧
- 105、106 オシレータ出力信号
- 107、108 相補パルス信号
- 110 ナンド回路
- 1111～1116 インバータ
- 20120 基準電圧
- 121～124 インバータ
- 1311～1316 pチャネルMOSトランジスタ
- 1321～1326 コンデンサ
- 133 pチャネルMOSトランジスタ

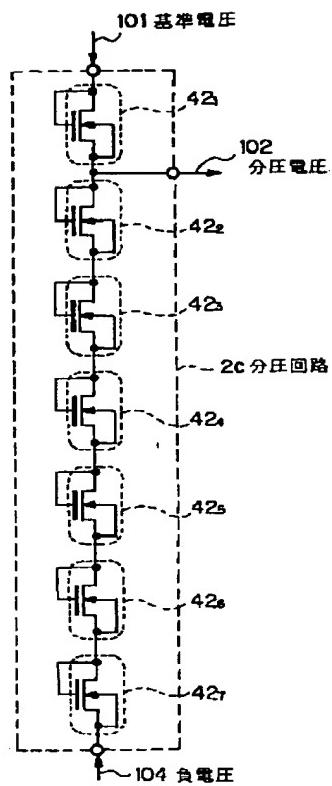
【図3】



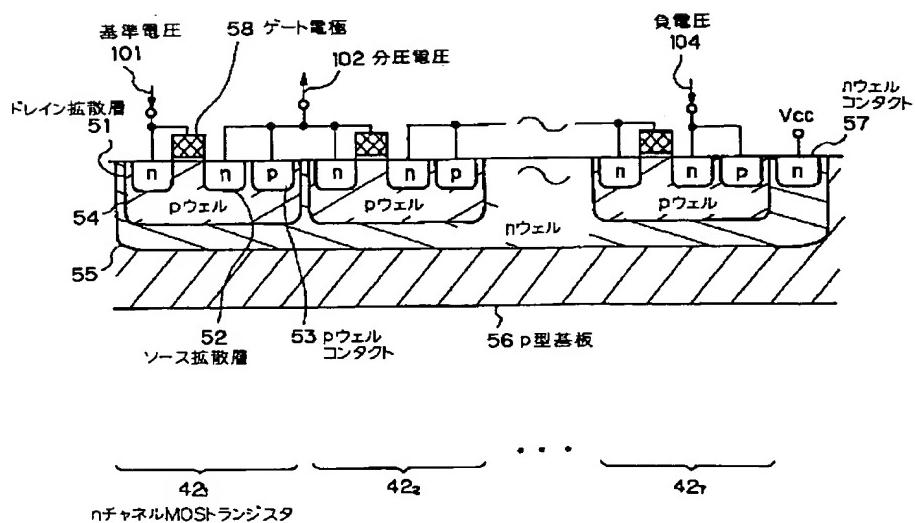
【図2】



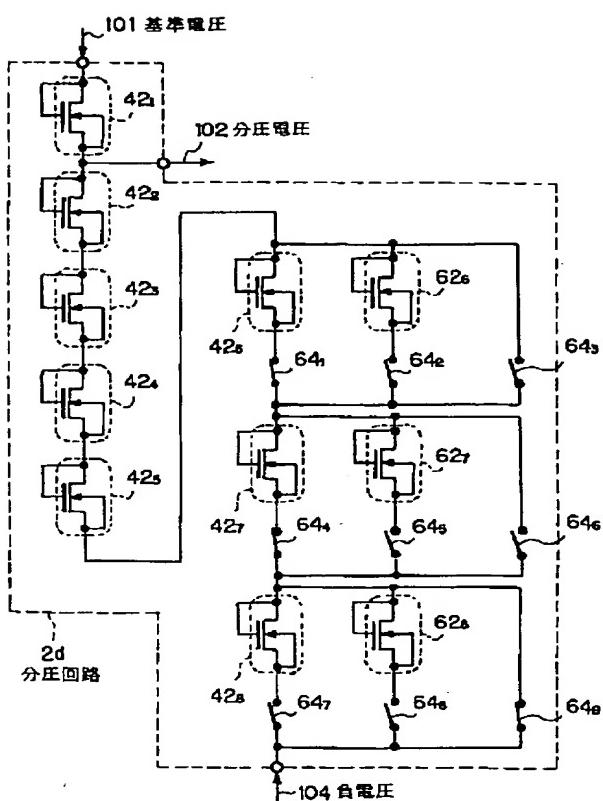
【図4】



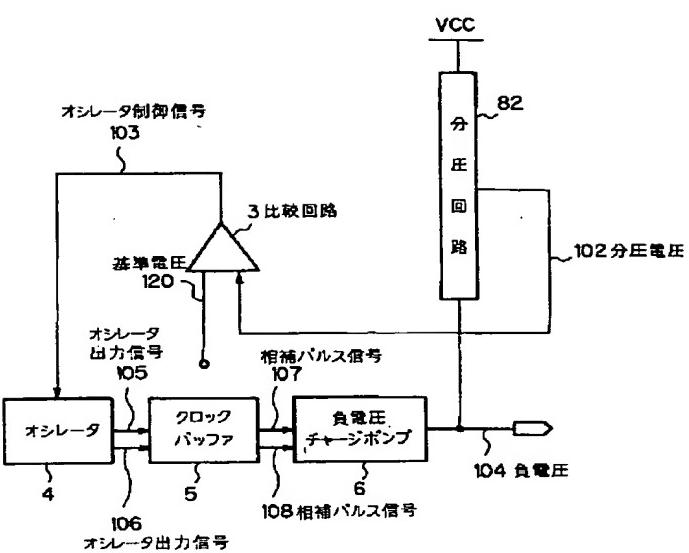
【図5】



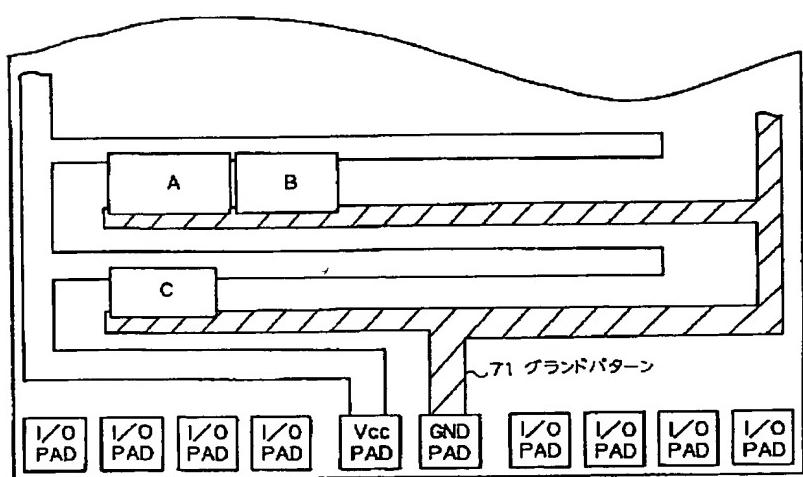
【図6】



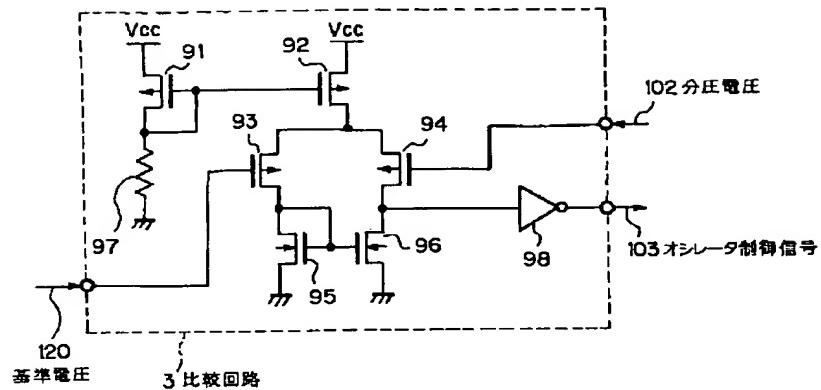
【図8】



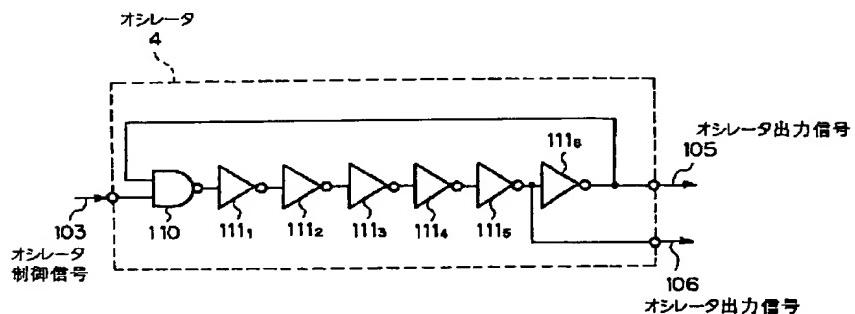
【図7】



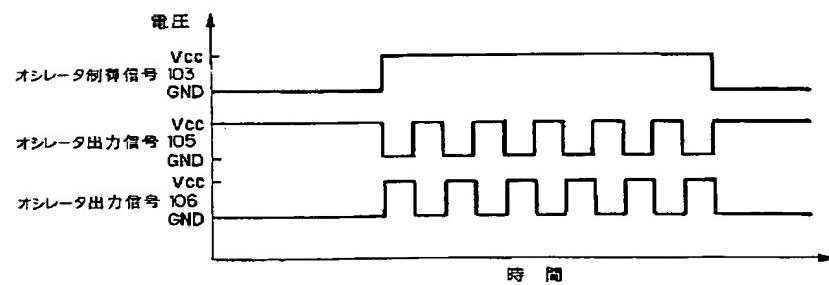
【図 9】



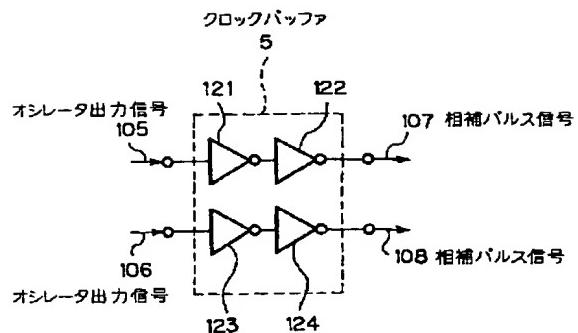
【図 10】



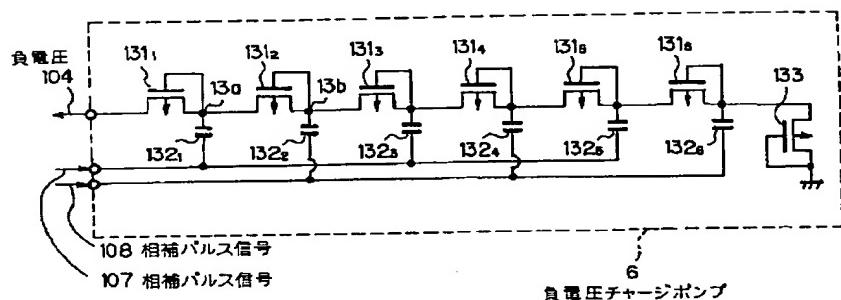
【図 11】



【図12】



【図13】



【図14】

